Attorney's Docket No. 5649-1299 PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: **Eun-ae Chung; Ki-hyun Hwang; Jung-hwan Oh; Hyo-jung Kim; Seok-woo Nam; Won-sik Shin; U-in Chung; Young-sun Kim; Hee-seok Kim; Beom-jun Jin**

For: **CAPACITORS OF SEMICONDUCTOR DEVICES INCLUDING SILICON-GERMANIUM AND METALLIC ELECTRODES AND METHODS OF FABRICATING THE SAME**

April 13, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed are certified copies of Korean priority Application Nos. 10-2003-0023331 and 10-2003-0023351, both filed April 14, 2003.

Respectfully submitted,

Mitchell S. Bigel
Registration No. 29,614

Myers Bigel Sibley & Sajovec, P.A.
P. O. Box 37428, Raleigh, NC 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381441370 US
Date of Deposit: April 13, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Susan E. Freedman
Date of Signature: April 13, 2004

대한민국특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0023331
Application Number

출 원 년 월 일 : 2003년 04월 14일
Date of Application APR 14, 2003

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 11 월 14 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0004

【제출일자】 2003.04.14

【국제특허분류】 H01L

【발명의 명칭】 반도체 소자의 커패시터 및 그 제조방법

【발명의 영문명칭】 Capacitor of semiconductor device and method for fabricating the same

【출원인】

【명칭】 삼성전자 주식회사

【출원인코드】 1-1998-104271-3

【대리인】

【성명】 이영필

【대리인코드】 9-1998-000334-6

【포괄위임등록번호】 2003-003435-0

【대리인】

【성명】 정상빈

【대리인코드】 9-1998-000541-1

【포괄위임등록번호】 2003-003437-4

【발명자】

【성명의 국문표기】 정은애

【성명의 영문표기】 CHONG,Eun Ae

【주민등록번호】 741222-2684615

【우편번호】 442-813

【주소】 경기도 수원시 팔달구 영통동 1041-11 404호

【국적】 KR

【발명자】

【성명의 국문표기】 정우인

【성명의 영문표기】 CHUNG,U In

【주민등록번호】 610315-1840417

【우편번호】	138-768
【주소】	서울특별시 송파구 문정2동 훼미리2단지 234동 403호
【국적】	KR
【발명자】	
【성명의 국문표기】	김영선
【성명의 영문표기】	KIM,Young Sun
【주민등록번호】	640717-1046422
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 988-2 살구골 성지아파트 711동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	김희석
【성명의 영문표기】	KIM,Hee Seok
【주민등록번호】	620603-1068814
【우편번호】	442-811
【주소】	경기도 수원시 팔달구 영통동 963-2 쌍용아파트 542동 1101호
【국적】	KR
【발명자】	
【성명의 국문표기】	진범준
【성명의 영문표기】	JIN,Beom Jun
【주민등록번호】	710920-1344211
【우편번호】	137-800
【주소】	서울특별시 서초구 반포2동 1-8 경남아파트 8동 1202호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원

【우선권주장료】	0 건	0 원
【심사청구료】	36 항	1,261,000 원
【합계】	1,300,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】

【요약】

본 발명에 따른 반도체 소자의 커패시터는, 실린더형 커패시터 하부전극, 유전막, 및 상부전극으로 구성된 것으로서, 상부전극이 금속막과 그 위에 적층된 n-형 도프트 폴리 $Si_{1-x}Ge_x$ 막으로 이루어진 것이 특징이다. n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 500℃ 이하의 저온에서 활성화된 상태로 증착이 되거나, 또는 500℃ 이하에서 활성화가 가능하기 때문에 현재 600℃ 이상의 고온에서 진행되어야 하는 커패시터 공정과 비교하여 커패시터의 누설전류 특성 열화를 현저하게 개선할 수 있다.

【대표도】

도 7

【명세서】

【발명의 명칭】

반도체 소자의 커패시터 및 그 제조방법{Capacitor of semiconductor device and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래 MIS(Metal-Insulator-Semiconductor) 커패시터에서 n-형 도프트 폴리실리콘막의 활성화 열처리로 인해 누설전류 특성이 열화되는 문제를 보여주는 그래프이다.

도 2 내지 도 7은 본 발명의 제 1 실시예에 따른 MIS 커패시터 및 그 제조방법을 설명하기 위한 단면도들이다.

도 8은 본 발명의 제 2 실시예에 따른 MIM(Metal-Insulator-Metal) 커패시터 및 그 제조방법을 설명하기 위한 단면도이다.

도 9는 본 발명의 제 3 실시예에 따른 MIM 커패시터 및 그 제조방법을 설명하기 위한 단면도이다.

도 10은 인시튜 n-형 도프트 폴리 $Si_{1-x}Ge_x$의 GeH_4 유량 증가에 따른 비저항 특성을 나타낸 그래프이다.

도 11은 본 발명에 따라 제조한 MIS 커패시터에 대해 측정한 셀 누설전류를 나타낸 그래프이다.

도 12는 종래 MIS 커패시터와 본 발명에 따라 제조한 MIS 커패시터에 대해 측정한 셀 누설전류를 Tox에 대하여 나타낸 그래프이다.

도면의 주요 부분에 대한 부호의 설명

100...반도체 기판 140...도프트 폴리실리콘막

140a, 240a...하부전극 150, 250...유전막

152...TiN막 154...n-형 도프트 폴리 $Si_{1-x}Ge_x$막

160, 360...상부전극 190...MIS 커패시터

290, 390...MIM 커패시터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 고집적 소자에 응용 가능한 디램(DRAM) 셀 커패시터 및 그 제조방법에 관한 것이다.

<15> 반도체 소자의 집적도가 증가함에 따라 특히 디램과 같은 반도체 소자의 경우, 제한된 면적에서 충분한 셀 커패시턴스를 확보할 필요가 있다. 이를 위하여 기존에 커패시터 유전막으로 사용하던 산화막/질화막/산화막보다 수배 내지 수백배 큰 유전율을 갖는 물질로 된 고유전막을 사용하기 위한 연구가 활발하게 진행되고 있다.

<16> 그런데, 종래 커패시터 상/하부전극으로서 사용되는 도프트 폴리실리콘 전극은 고유전막과 반응하여 커패시터의 전기적 특성을 열화시킨다. 이를 방지하기 위해, 도프트 폴리실리콘 전극과 고유전막 사이에 SiON막과 같은 저유전막을 추가적으로 도포하는 방법도 제안되었지만, 결국 유전막의 실질적인 두께가 증가되는 한계가 있다.

<17> 보다 개선된 방법으로서, 고유전막을 사용하는 커패시터의 상부전극에만, 또는 상부전극과 하부전극 모두에 폴리실리콘막보다 반응성이 떨어지는 금속막을 이용하는 방법이 제안되었

다. 여기서 "금속막"은 금속 물질 자체로 이루어진 막뿐만 아니라 그것의 전도성 산화물 혹은 전도성 질화물로 이루어진 막까지도 포함하는 의미로 사용된다. 상/하부전극을 모두 도프트 폴리실리콘 전극으로 사용하는 SIS(Semiconductor-Insulator-Semiconductor) 커패시터에 대비해 이들을 각각 MIS(Metal-Insulator-Semiconductor) 커패시터, MIM(Metal-Insulator-Metal) 커패시터라고 한다.

<18> 그러나, 금속막으로 이루어진 상부전극의 경우에는 습식각(wet etch), 건식각(dry etch), 응력(stress) 등의 집적 공정 상의 문제가 발생하고, 비저항이 작기 때문에 신호지연을 위한 저항층(resistor layer) 역할도 수행할 수 없는 문제가 있다. 이 때문에, 금속막 위에 도프트 폴리실리콘막을 적층한 이중막을 상부전극으로 이용하고 있다. 여기서, 도프트 폴리실리콘막은 LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 비정질 실리콘을 증착한 다음 활성화(activation) 열처리를 하여 형성하게 되는데, 이 때 가해지는 열처리로 인하여 금속막만을 사용하는 경우에 비해 누설전류 특성이 열화되는 문제가 있다.

<19> 도 1은 종래 MIS 커패시터에서 도프트 폴리실리콘막의 활성화 열처리로 인해 누설전류 특성이 어떻게 열화되는지를 보여준다. 도 1에서 (a)는 상부전극으로서 TiN막만을 사용하여 열처리할 필요없는 MIS 커패시터의 누설전류 특성을 나타낸다. (b)는 TiN막과 n-형 도프트 폴리실리콘막을 적층한 이중막을 상부전극으로 사용하는 MIS 커패시터의 누설전류 특성을 나타낸다. (b)의 경우, n-형 도프트 폴리실리콘막은 530℃에서 LPCVD 방법으로 증착하고 N_2 분위기의 퍼니스(furnace)에서 600℃, 30분의 열처리를 실시한 것이다.

<20> 도 1의 (a)와 (b)로부터, 활성화 열처리를 실시한 (b)의 경우에 누설전류가 크게 증가하며 Tox도 더 두꺼운 것을 볼 수 있다. 따라서, 현재 사용하고 있는 n-형 도프트 폴리실리콘막

의 열처리 조건(600℃, 30분 혹은 650℃, 2분의 퍼니스 공정)을 열적 부담(thermal budget)이 적은 공정으로 개발할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는 저온 공정이 가능해 누설전류 특성이 향상된 반도체 소자의 커패시터를 제공하는 것이다.

<22> 본 발명이 이루고자 하는 다른 기술적 과제는 저온에서 반도체 소자의 커패시터를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기 기술적 과제를 달성하기 위하여 본 발명에 따른 반도체 소자의 커패시터는, 반도체 기판 상에 형성된 실린더형 커패시터 하부전극, 상기 하부전극 표면 상에 형성된 유전막, 및 상기 유전막 상에 형성된 상부전극을 포함하고, 상기 상부전극은 상기 유전막에 접하는 금속막과 그 위에 적층된 n-형 도프트 폴리 $Si_{1-x}Ge_x$막으로 이루어진 것을 특징으로 한다.

<24> 본 발명에 따른 다른 반도체 소자의 커패시터는, 반도체 기판 상에 형성되고 금속막으로 이루어진 실린더형 커패시터 하부전극, 상기 하부전극 표면 상에 형성된 유전막, 및 상기 유전막 상에 형성된 n-형 도프트 폴리 $Si_{1-x}Ge_x$ 상부전극을 포함한다.

<25> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 반도체 소자의 커패시터 제조 방법에서는, 반도체 기판 상에 실린더형 커패시터 하부전극을 형성한 다음, 상기 하부전극 표면 상에 유전막을 형성한다. 상기 유전막 상에 금속막과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 순차 적층하여 금속막과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막으로 이루어진 상부전극을 형성한다.

<26> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 다른 반도체 소자의 커패시터 제조방법에서는, 반도체 기판 상에 금속막으로 이루어진 실린더형 커패시터 하부전극을 형성하고 나서, 상기 하부전극 표면 상에 유전막을 형성한다. 상기 유전막 상에 n-형 도프트 폴리 $Si_{1-x}Ge_x$ 상부전극을 형성한다.

<27> 이와 같이, 본 발명의 커패시터의 상부전극 중에는 n-형 도프트 폴리 $Si_{1-x}Ge_x$막이 포함된다. n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 500℃ 이하의 저온에서 활성화된 상태로 증착이 되거나, 또는 활성화가 가능하다. 따라서, 현재 n-형 도프트 폴리실리콘막을 사용하기 때문에 600℃ 이상의 고온에서 진행되어야 하는 커패시터 공정과 비교하여 커패시터의 누설전류 특성 열화를 현저하게 개선할 수 있다.

<28> 이하, 첨부 도면들을 참조하면서 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나 본 발명의 실시예들은 여러 가지 다른 형태들로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 한정되는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<29> <u>제 1 실시예</u>

<30> 도 2 내지 도 7은 본 발명의 제 1 실시예에 따른 커패시터 및 그 제조방법을 설명하기 위한 단면도들이다. 제 1 실시예에 따른 커패시터는 하부전극이 도프트 폴리실리콘막이고 상부전극이 TiN막과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막으로 이루어진 MIS 커패시터이다.

<31> 먼저 도 2를 참조하면, 반도체 기판(100) 상에 하부 절연막(110)을 형성한 다음, 하부 절연막(110)을 관통하여 반도체 기판(100)의 불순물 영역(105)과 접하는 복수개의 컨택플러그(115)를 형성한다. 컨택플러그(115) 및 하부 절연막(110) 상에 예를 들어 실리콘 질화막으로 된 식각정지막(120)을 먼저 형성한 다음, BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), PE(Plasma Enhanced)-TEOS(Tetra Ethyl Ortho Silicate) 또는 HDP(High Density Plasma)-산화물 등을 증착하여 몰드산화막(130)을 형성한다.

<32> 다음으로 도 3에서와 같이, 식각정지막(120)의 상면이 노출될 때까지 몰드산화막(130)을 식각하여 몰드산화막 패턴(130a)을 형성한다. 이 때, 식각정지막(120)은 하부 절연막(110)이 식각되지 않게 보호한다. 이어서, 노출된 식각정지막(120)만 제거할 정도로 식각 공정을 진행하여 컨택플러그(115) 및 그 주변의 하부 절연막(110)의 상면을 노출시키는 홀(135)을 형성한다. 몰드산화막 패턴(130a)의 하부에는 식각정지막 패턴(120a)이 잔류하게 된다.

<33> 도 4를 참조하여, 홀(135)을 완전히 매립하지 않는 정도 두께로 도프트 폴리실리콘막(140)을 형성한다. 이러한 도프트 폴리실리콘막(140)은 커패시터의 하부전극이 될 막으로서, 단차도포성이 우수한 CVD 또는 ALD(Atomic Layer Deposition)에 의할 수 있다. 예컨대, 통상의 LPCVD 방법으로 폴리실리콘을 증착한 다음, 비저항을 확보하기 위해 그 위에 PH_3 도핑을 실시하여 n-형 도프트 폴리실리콘이 되게 한다.

<34> 계속하여 도 5를 참조하여, 도프트 폴리실리콘막(140) 위로 갭 필 특성이 좋은 USG(Undoped Silicate Glass)막과 같은 캡핑막(145)을 증착하여 홀(135) 내부를 매립한다. 다음으로, 몰드산화막 패턴(130a)의 상면이 드러날 때까지 캡핑막(145)과 도프트 폴리실리콘막(140)을 에치백 또는 CMP(Chemical Mechanical Polishing)로 제거한다(도면에서 점선 위 부분을 제거하는 것임). 이렇게 함으로써 각각 분리된 실린더형 커패시터 하부전극(140a)이 형성된다.

<35> 다음으로 도 6에 도시한 것과 같이, 캡핑막(145)과 몰드산화막 패턴(130a)을 습식 식각으로 제거하여 하부전극(140a) 표면이 드러나게 한 다음, 그 표면 상에 유전막(150)을 형성한다. 필요에 따라서는, 유전막(150)을 형성하기 전에 하부전극(140a) 표면에 대하여 NH_3 가스를 이용한 플라즈마 질화처리(plasma nitridation) 또는 열 질화처리(thermal nitridation)를 실시하기도 한다. 이러한 처리에 의해 하부전극(140a) 표면에 10-20Å 정도의 실리콘 질화막이 형성될 수 있으며, 이는 하부전극(140a)과 유전막(150) 사이에 일어날 수도 있는 반응을 방지한다.

<36> 유전막(150)으로서는 예를 들어, HfO_2막, Al_2O_3막 또는 Al_2O_3/HfO_2 복합막을 형성할 수 있다. 이와 같은 유전막(150)을 형성하기 위해서는, 단차도포성이 우수한 CVD 또는 ALD를 이용할 수 있다. 특히 ALD의 경우에는 증착 온도를 300℃ 가까이로 낮게 유지할 수 있어 공정 온도 측면에서 유리하다. 유전막(150)의 전기적 특성이 개선되도록, 유전막(150) 증착 후 별도 처리하는 단계를 더 수행할 수도 있다. 예를 들어, 유전막(150)이 형성된 결과물을 오존(O_3) 처리, 산소나 질소가 포함된 가스 분위기에서 플라즈마 처리 또는 산소나 질소가 포함된 가스 분위기에서 열처리할 수 있다.

<37> 다음으로 도 7에 도시한 것과 같이, 유전막(150) 상에 상부전극(160)을 형성한다. 이때, 상부전극(160)은 TiN막(152)과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막(154)을 순차 적층하여 형성한다.

<38> 먼저, TiN막(152)은 CVD나 ALD, 혹은 MOCVD(Metal Organic CVD)에 의하여 형성할 수 있다. TiN막(152) 대신에 WN, TaN, Cu, Al 또는 W막을 형성하여도 된다. 그리고, Pt, Ir, Ru, Rh, Os, Pd 등의 귀금속, 이러한 귀금속의 산화막으로 형성하여도 되며, TiN/W, TiN/TaN, WN/W 등의 형태와 같이 여러 금속막의 조합으로 형성하여도 된다. 이들 막의 증착 온도는 500℃ 미만인 경우에 더욱 효과적이다.

<39> 다음으로, TiN막(152) 위에 n-형 도프트 폴리 $Si_{1-x}Ge_x$막(154)을 형성하는데, 폴리 $Si_{1-x}Ge_x$막을 증착하면서 인시튜로 P 또는 As를 도핑하여 형성한다. 이를 위해 통상의 LPCVD 방법을 구현할 수 있는 퍼니스 타입 설비, 매엽식 설비, 또는 25매의 웨이퍼가 들어가는 미니 배치(mini batch) 등의 설비를 사용할 수 있다. 물론, 인시튜 방식 대신에, 폴리 $Si_{1-x}Ge_x$막 증착 후 P 또는 As를 도핑하는 두 단계(two step)로 형성해도 된다.

<40> 우선 $Si_{1-x}Ge_x$막의 형성시, SiH_4, Si_2H_6, SiH_2Cl_2 등의 사일렌계 가스 및 GeH_4, GeF_4 등의 가스를 소오스 가스로 이용하여, 500℃ 이하의 온도, 예컨대 400-500℃ 범위의 온도, 바람직하게는 430℃ 부근에서 형성한다. 처음에 비정질 상태로 형성한 후 활성화 열처리시 다결정화하거나 처음부터 다결정 및 활성화 상태로 형성해도 된다. 비정질로 형성할 경우에는 증착 온도를 400℃ 이하까지, 예를 들어 350-400℃의 범위까지로도 낮출 수 있고, 후속 활성화 열처리 온도를 500℃ 이하까지, 예를 들어 400-500℃의 범위까지로 낮출 수 있다.

<41> Si와 Ge의 조성비(즉, x)는 가스 유량비로 조정할 수 있다. 이 조성비는 특히 한정되지는 않지만 적어도 공핍층이 형성되지 않는 일함수값이 되도록 불순물 농도와 함께 설계하는 것

이 바람직하다. 예를 들면 $0.05 \leq x \leq 0.9$가 되게 한다. 더욱 바람직하게는 $0.2 \leq x \leq 0.6$이 되게 조정한다.

<42> n형 불순물인 P 또는 As로 도핑하는 것은 비저항을 확보하기 위해서인데, 도핑 농도는 예를 들면 $3 \times 10^{20}/cm^3$ 정도가 되게 한다. 증착 온도가 400℃보다 낮으면 이후 열처리 공정을 거쳐 도핑 불순물을 활성화시킨다. 그러나, 열처리 온도가 종래와 달리 500℃를 넘지 않아도 된다. 이로써, 하부전극(140a), 유전막(150) 및 상부전극(160)을 포함하는 커패시터(190)가 500℃ 이하의 비교적 저온에서 제조된다.

<43> $Si_{1-x}Ge_x$의 경우 녹는점(melting point)이 실리콘보다 낮기 때문에 증착, 결정화, 입성장, 불순물 활성화 등의 물리적 현상도 실리콘보다 낮은 온도에서 일어난다. 본 발명에서는 이러한 특성을 이용하여 기존의 폴리실리콘 대신에 n-형 도프트 폴리 $Si_{1-x}Ge_x$를 상부전극에 적용함으로써 공정 온도를 500℃ 이하로 낮출 수 있어, MIS 커패시터의 누설전류 특성을 크게 개선할 수 있다.

<44> <u>제 2 실시예</u>

<45> 도 8은 본 발명의 제 2 실시예에 따른 커패시터 및 그 제조방법을 설명하기 위한 단면도이다. 도 8에서 제 1 실시예에서와 동일한 요소에 대해서는 도 1 내지 7에서와 동일한 참조부호를 부여하고 중복되는 설명은 생략한다. 제 2 실시예는 본 발명의 n-형 도프트 폴리 $Si_{1-x}Ge_x$ 상부전극이 MIM 커패시터에도 적용될 수 있음을 설명한다.

<46> 도 8에 도시된 커패시터(290)는 하부전극(240a)이 금속막이고 상부전극(160)이 TiN막(152)과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막(154)으로 이루어진다. 하부전극(240a)은 제1 실시예에서와 같이 몰드산화막 패턴 위에 CVD나 ALD, 또는 MOCVD로 TiN, WN, TaN, Cu 또는 W막을 증착

한 후 평탄화시켜 형성할 수 있다. 하부전극(240a)에 사용될 수 있는 금속막으로는 이러한 막 이외에도 Pt, Ir, Ru, Rh, Os, Pd 등의 귀금속과 이러한 귀금속의 산화물, 또는 TiN/W, TiN/TaN, WN/W 등의 형태로 된 금속 다중층 등이 있다.

<47> 하부전극(240a)으로서 이러한 금속막을 사용하면 유전막(250)으로서 HfO_2막, Al_2O_3막, Al_2O_3/HfO_2 복합막 이외에도, HfO_2/Al_2O_3막, $SrTiO_3$막 또는 (Ba, Sr)TiO_3막을 사용할 수 있게 된다.

<48> 이와 같이 구성되는 MIM 커패시터(290)의 경우에도, 제 1 실시예에서와 마찬가지로, 기존의 폴리실리콘 대신에 n-형 도프트 폴리 $Si_{1-x}Ge_x$막(154)을 상부전극에 적용함으로써 공정 온도를 500℃ 이하로 낮출 수 있다.

<49> <u>제 3 실시예</u>

<50> 도 9는 본 발명의 제 3 실시예에 따른 커패시터 및 그 제조방법을 설명하기 위한 단면도이다. 도 9에서 제 1 및 제 2 실시예에서와 동일한 요소에 대해서는 도 1 내지 8에서와 동일한 참조 부호를 부여하고 중복되는 설명은 생략한다.

<51> 도 9에서와 같이, 상부전극(360)은 n-형 도프트 폴리 $Si_{1-x}Ge_x$막의 단일막으로만 이루어진다. 여기서도, n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 x의 범위가 $0.05 \le x \le 0.9$이거나, 보다 바람직하게는 $0.2 \le x \le 0.6$이다.

<52> 이 때, 커패시터(390)의 하부전극(240a)으로는 금속막을 사용하는 것이 바람직하다. 제 2 실시예에서 설명한 것과 같이, 금속막은 TiN 이외에도 WN, TaN, Cu, Al, W 또는 Pt, Ir, Ru, Rh, Os, Pd 등의 귀금속과 이러한 귀금속의 산화물 등으로 이루어질 수 있다. 또는 TiN/W, TiN/TaN, WN/W 등과 같이 이러한 막의 조합으로 이루어질 수도 있다.

<53> 본 발명에 관한 보다 상세한 내용은 다음의 구체적인 실험예들을 통하여 설명하며, 여기에 기재되지 않은 내용은 이 기술 분야에서 숙련된 자이면 충분히 기술적으로 유추할 수 있는 것이므로 설명을 생략한다. 또한, 다음 실험예들이 본 발명을 제한하려는 것은 아니다.

<54> 실험예 1

<55> 본 발명 커패시터의 상부전극으로 사용하기 위하여, 500℃, 275torr에서 매엽식 설비를 이용하여 폴리 $Si_{1-x}Ge_x$막을 증착하면서 인시튜로 P 도핑을 실시하였다. SiH_4와 GeH_4를 소오스 가스로 이용하되 GeH_4 유량을 달리하면서 4-5분 가량 폴리 $Si_{1-x}Ge_x$막을 증착하였다. GeH_4는 수소나 질소 등에 10%로 희석하여 공급하였다(이하, 10% GeH_4로 표시). P 도핑 농도는 3×10^{20} /cm^3 정도로 하였고, 결과물인 n-형 도프트 폴리 $Si_{1-x}Ge_x$막에 대하여 별도의 열처리는 실시하지 않았다.

<56> 도 10은 인시튜 n-형 도프트 폴리 $Si_{1-x}Ge_x$의 GeH_4 유량 증가에 따른 비저항 특성을 나타낸 그래프이다. 도 10에서 가로축은 10% GeH_4 대 SiH_4의 비율을 나타내고, 세로축은 비저항을 나타낸다. 도 10에서 볼 수 있는 것과 같이, n-형 도프트 폴리 $Si_{1-x}Ge_x$의 비저항은 GeH_4 유량과 함께 감소한다. 도 10의 비저항치로부터 앞의 500℃, 275torr에서의 증착 조건은 증착과 동시에 활성화된 인시튜 n-형 도프트 폴리 $Si_{1-x}Ge_x$를 초래함을 확인할 수 있었다.

<57> 따라서, SiH_4와 GeH_4를 소오스 가스로 이용한 500℃, 275torr 증착 조건에 의할 경우, 기존 공정과 달리 활성화 후속 열처리는 생략할 수 있다. 실리콘 증착시 비정질에서 다결정질로 전이되는 온도가 압력 감소에 따라 낮아진다는 보고가 있으므로, 매엽식 설비보다 압력이 낮은 미니 배치(약 4Torr)나 퍼니스 타입 LPCVD 설비(약 1 Torr 이하)를 이용할 경우 더 낮은 온도에서 인시튜 n-형 도프트 폴리 $Si_{1-x}Ge_x$의 증착이 가능할 것으로 예상된다.

<58> 실험예 2

<59> ALD 방법을 이용하여 폴리실리콘막으로 실린더형 하부전극 모양을 형성한 다음, 그 위에 PH_3 도핑을 실시하여 도프트 폴리실리콘이 되게 하였다. 도프트 폴리실리콘 하부전극 표면에 대하여 NH_3 가스를 이용한 플라즈마 질화처리를 실시하였는데, 790℃에서 300W의 RF 파워로 20초 정도 실시하여, 16Å 정도의 실리콘 질화막을 형성하였다. 그 위에 유전막으로서 HfO_2막을 45Å 정도로 형성하였다. 소스가스로는 TEMAH로 불리는 $[Hf(NEtMe)_4]$와 O_3를 사용하였고 300℃에서 Ar 버블링을 이용한 방식의 ALD 방법에 의하였다.

<60> 다음으로 450℃에서 HfO_2막 상에 ALD 방법에 의해 TiN막을 형성하였다. $TiCl_4$와 NH_3를 소스가스로 사용하였으며, 증착 온도는 500℃를 넘지 않게 하였다. 그 위에 아래에 제시한 조건을 가지고 인시튜 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 적층하여 TiN막과 인시튜 n-형 도프트 폴리 $Si_{1-x}Ge_x$막으로 이루어진 상부전극을 형성하였다.

<61> 470℃, 275torr에서 매엽식 설비를 이용하여 폴리 $Si_{1-x}Ge_x$막을 증착하면서 인시튜로 $3\times10^{20}/cm^3$ 정도 농도의 P 도핑을 실시하였다. SiH_4와 GeH_4를 소오스 가스로 이용하였고 증착은 씨딩(seeding) 단계와 주 증착 단계로 나누어 실시하였다.

<62> 씨딩 단계에서는 GeH_4 없이 SiH_4를 50sccm의 유량으로 50초 정도 공급하였다. 이 때 P 도핑 소스로서의 1% 희석된 PH_3(이하, 1% PH_3로 표시)를 6sccm 공급하였다. 캐리어 가스인 N_2의 유량은 9000sccm 정도로 하였다. 주 증착 단계에서는 SiH_4의 유량을 80sccm으로 늘리고 10% GeH_4도 240sccm 공급하였다. 1% PH_3와 N_2의 유량은 씨딩 단계와 동일하게 유지하였다. 주 증착 단계 시간은 110초 정도였다. 이렇게 하면 x값이 0.2 정도가 된다. PH_3와 GeH_4를 희

석시키는 데에는 수소나 질소를 이용하였다. 결과물인 n-형 도프트 폴리 $Si_{1-x}Ge_x$막에 대하여 별도의 열처리는 실시하지 않았다.

<63> 도 11은 이렇게 제조한 커패시터의 누설전류를 측정한 그래프이다. 도 1에서의 (b)의 경우보다는 누설전류가 매우 낮고, (a)의 경우와는 거의 유사한 것을 확인할 수 있으며, Tox도 (a)와 유사한 정도인 20.5Å으로 측정되었다. 따라서, 별도의 열처리 없이도 상부전극으로서의 특성을 구비한 n-형 도프트 폴리 $Si_{1-x}Ge_x$막이 얻어짐을 확인할 수 있다.

<64> 이러한 우수한 결과는 470℃, 0.45torr에서 LPCVD 퍼니스를 이용하여 65분 정도 인시튜 P 도핑 폴리 $Si_{1-x}Ge_x$막을 증착하여도 얻을 수 있었다.

<65> <u>실험예 3</u>

<66> 실험예 2에서와 유사한 조건으로 커패시터를 제조하였다. 단, HfO_2막을 증착하는 조건만 다양하게 하여 다양한 Tox의 결과를 얻었다. 본 발명의 결과와 비교하기 위하여, 도 1의 (b)와 같이 TiN막과 600℃에서 30분 동안 열처리된 n-형 도프트 폴리실리콘막의 이중막을 상부전극으로 사용하는 커패시터를 제조하였다.

<67> 도 12는 이렇게 제조한 커패시터들에서 1.2V일 때의 누설전류를 Tox에 대하여 도시한 그래프이다. 도 12에서 점선으로 표시된 것은 본 발명에 의한 커패시터에 대한 결과이고, 실선으로 표시된 것은 도 1의 (b)와 같은 종래 커패시터에 대한 결과이다.

<68> 도 12에서 볼 수 있는 바와 같이, 동일한 Tox 조건이더라도 본 발명의 경우에 누설전류가 더 작다. 또한, 동일한 누설전류 조건일 경우에는 본 발명의 경우에 Tox가 더 작다. 따라서, 본 발명에 의할 경우에 누설전류와 Tox가 모두 종래보다 작아져 특성이 우수한 커패시터가 제조됨을 확인할 수 있다.

<69> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다.

【발명의 효과】

<70> 상술한 본 발명에 의하면, TiN막과 같은 금속막과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 적층하여 상부전극을 형성하거나, 금속막으로 이루어진 하부전극과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막으로 이루어진 상부전극을 형성하여 커패시터를 제조한다. n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 500℃ 이하의 저온에서 활성화된 상태로 증착이 되거나, 500℃ 이하의 온도에서 활성화가 가능하기 때문에 현재 600℃ 이상의 고온에서 진행되어야 하는 커패시터 공정과 비교하여 커패시터의 누설전류 특성 열화를 현저하게 개선할 수 있다.

【특허청구범위】

【청구항 1】

반도체 기판 상에 형성된 실린더형 커패시터 하부전극;

상기 하부전극 표면 상에 형성된 유전막; 및

상기 유전막 상에 형성된 상부전극을 포함하고,

상기 상부전극은 상기 유전막에 접하는 금속막과 그 위에 적층된 n-형 도프트 폴리 $Si_{1-x}Ge_x$막으로 이루어진 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 2】

제 1 항에 있어서, 상기 하부전극은 도프트 폴리실리콘막으로 이루어진 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 3】

제 2 항에 있어서, 상기 유전막은 HfO_2막, Al_2O_3막 또는 Al_2O_3/HfO_2 복합막인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 4】

제 1 항에 있어서, 상기 하부전극은 금속막으로 이루어진 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 5】

제 4 항에 있어서, 상기 유전막은 HfO_2막, Al_2O_3막, Al_2O_3/HfO_2 복합막, HfO_2/Al_2O_3막, $SrTiO_3$막 및 $(Ba, Sr)TiO_3$막으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 6】

제 1 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 P 또는 As로 도핑된 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 7】

제 1 항에 있어서, $0.05 \le x \le 0.9$인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 8】

제 1 항에 있어서, $0.2 \le x \le 0.6$인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 9】

제 1 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 10】

제 1 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 11】

반도체 기판 상에 형성되고 금속막으로 이루어진 실린더형 커패시터 하부전극;

상기 하부전극 표면 상에 형성된 유전막; 및

상기 유전막 상에 형성된 n-형 도프트 폴리 $Si_{1-x}Ge_x$ 상부전극을 포함하는 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 12】

제 11 항에 있어서, 상기 유전막은 HfO_2막, Al_2O_3막, Al_2O_3/HfO_2 복합막, HfO_2/Al_2O_3막, $SrTiO_3$막 및 (Ba, Sr)TiO_3막으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 13】

제 11 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 P 또는 As로 도핑된 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 14】

제 11 항에 있어서, $0.05 \leq x \leq 0.9$인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 15】

제 11 항에 있어서, $0.2 \leq x \leq 0.6$인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 16】

제 11 항에 있어서, 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 17】

반도체 기판 상에 실린더형 커패시터 하부전극을 형성하는 단계;

상기 하부전극 표면 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 금속막과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 순차 적층하여 금속막과 n-형 도프트 폴리 $Si_{1-x}Ge_x$막으로 이루어진 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 18】

제 17 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 폴리 $Si_{1-x}Ge_x$막을 P 또는 As로 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 19】

제 17 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 폴리 $Si_{1-x}Ge_x$막을 증착하면서 인시튜(in-situ)로 P 또는 As를 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 20】

제 17 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 증착과 동시에 활성화되게 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 21】

제 20 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 증착할 때의 온도는 350-500℃인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 22】

제 17 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 증착 이후에 활성화 열처리하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 23】

제 22 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 활성화 열처리할 때의 온도는 400-500℃인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 24】

제 17 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 25】

제 17 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 26】

제 17 항에 있어서, 상기 도프트 폴리 $Si_{1-x}Ge_x$막은 퍼니스 타입 설비, 매엽식 설비, 또는 25매의 웨이퍼가 들어가는 미니 배치(mini batch) 설비를 이용한 LPCVD(Low Pressure Chemical Vapor Deposition) 방법에 의해 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 27】

반도체 기판 상에 금속막으로 이루어진 실린더형 커패시터 하부전극을 형성하는 단계;

상기 하부전극 표면 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 n-형 도프트 폴리 $Si_{1-x}Ge_x$ 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 28】

제 27 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 폴리 $Si_{1-x}Ge_x$막을 P 또는 As로 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 29】

제 27 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 폴리 $Si_{1-x}Ge_x$막을 증착하면서 인시튜로 P 또는 As를 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 30】

제 27 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 증착과 동시에 활성화되게 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 31】

제 30 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 증착할 때의 온도는 350-500℃인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 32】

제 31 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막은 증착 이후에 활성화 열처리하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 33】

제 32 항에 있어서, 상기 n-형 도프트 폴리 $Si_{1-x}Ge_x$막을 활성화 열처리할 때의 온도는 400-500℃인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 34】

제 27 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 35】

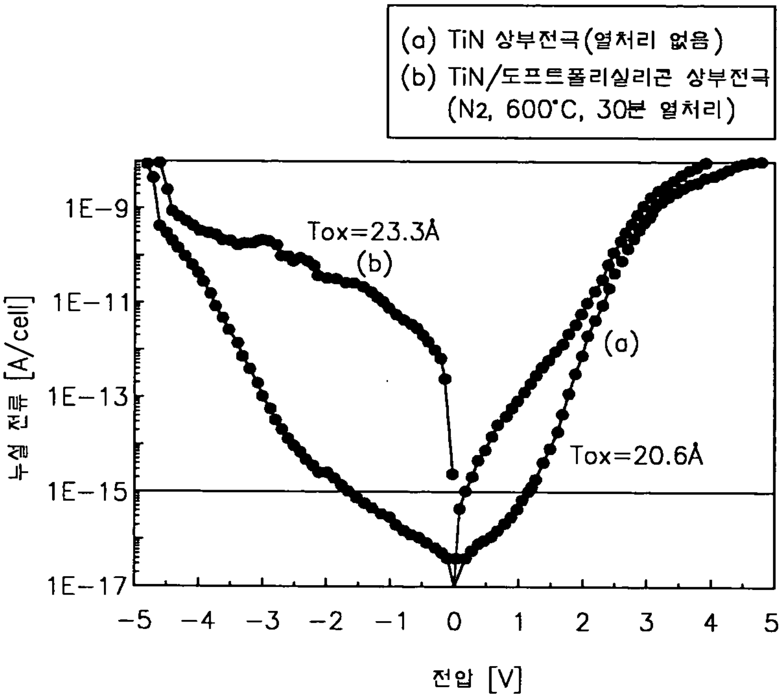
제 27 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 36】

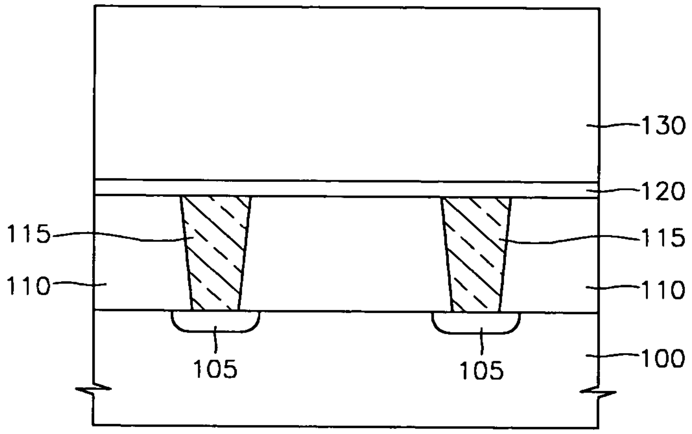
제 27 항에 있어서, 상기 도프트 폴리 $Si_{1-x}Ge_x$막은 퍼니스 타입 설비, 매엽식 설비, 또는 25매의 웨이퍼가 들어가는 미니 배치(mini batch) 설비를 이용한 LPCVD(Low Pressure Chemical Vapor Deposition) 방법에 의해 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【도면】

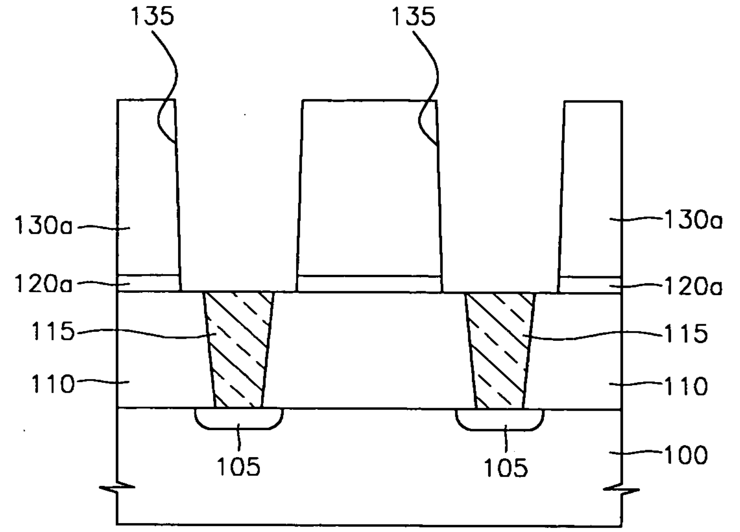
【도 1】


(a) TiN 상부전극(열처리 없음)
(b) TiN/도프트폴리실리콘 상부전극 (N2, 600°C, 30분 열처리)
Tox=23.3Å
(b)
(a)
Tox=20.6Å
1E-9
1E-11
1E-13
1E-15
1E-17
누설 전류 [A/cell]
-5 -4 -3 -2 -1 0 1 2 3 4 5
전압 [V]

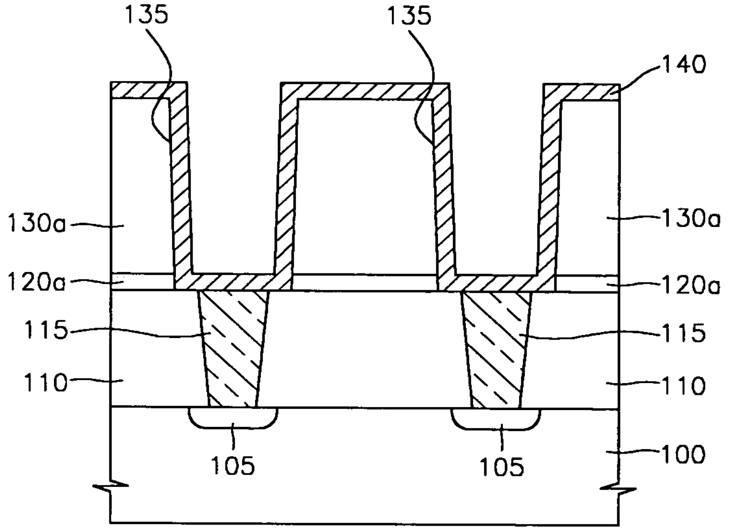
【도 2】


130
120
115
115
110
110
105
105
100

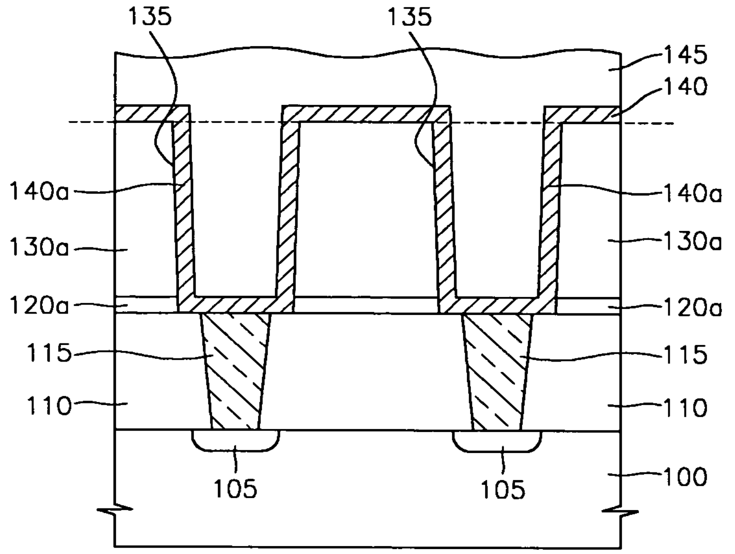
【도 3】


135
135
130a
130a
120a
120a
115
115
110
110
105
105
100

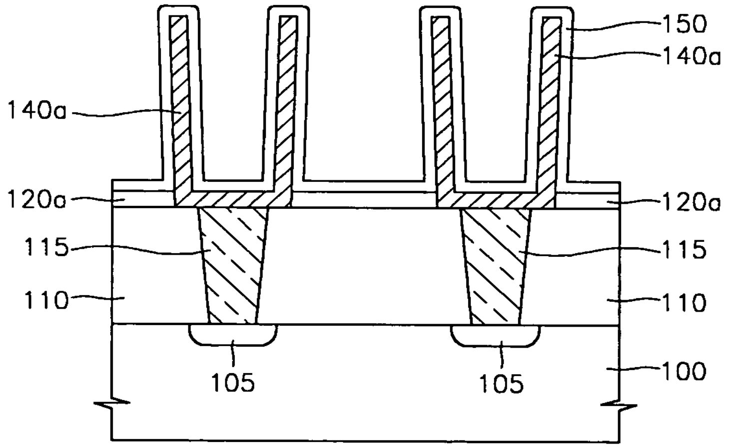
【도 4】


135
135
140
130a
130a
120a
120a
115
115
110
110
105
105
100

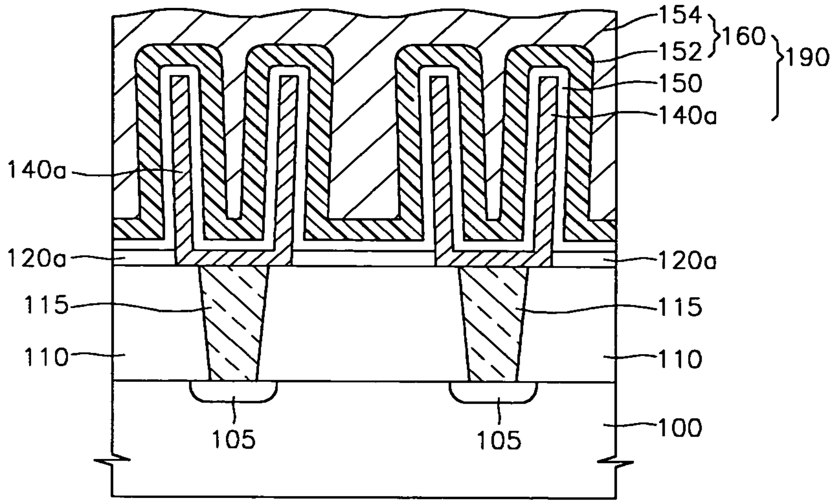
【도 5】


135
135
145
140
140a
140a
130a
130a
120a
120a
115
115
110
110
105
105
100

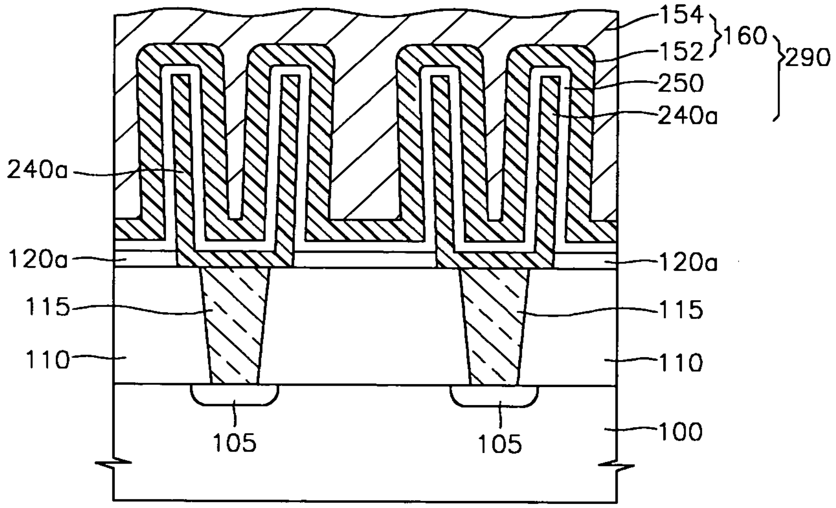
【도 6】


150
140a
140a
120a
120a
115
115
110
110
105
105
100

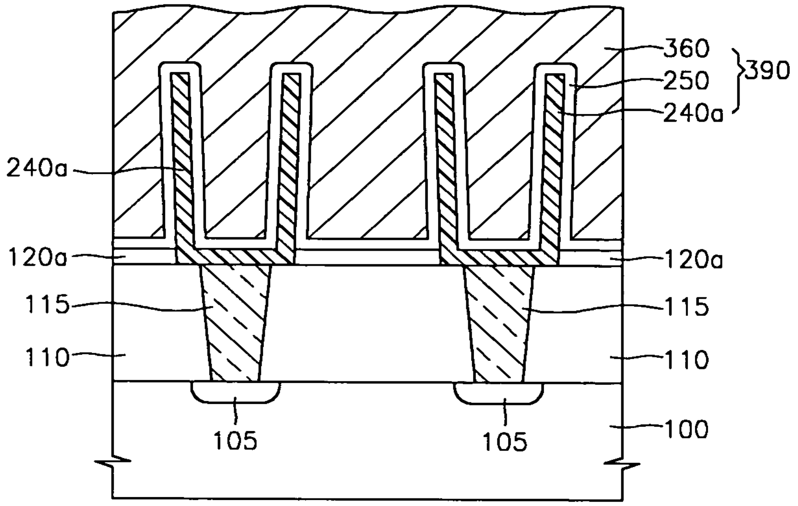
【도 7】


154
152
160
190
150
140a
140a
120a
120a
115
115
110
110
105
105
100

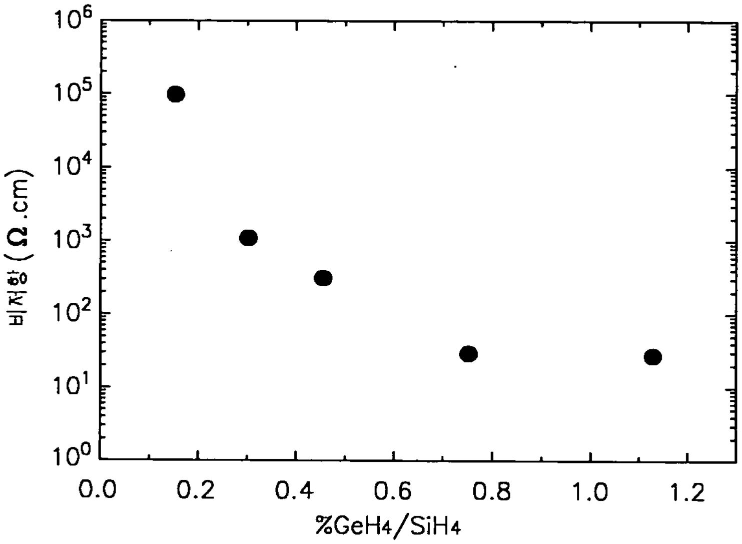
【도 8】


154
152
160
290
250
240a
240a
120a
120a
115
115
110
110
105
105
100

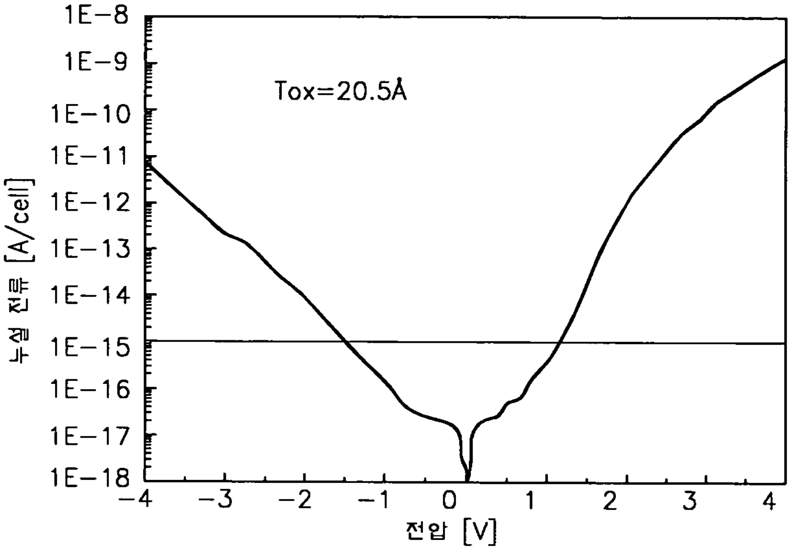
【도 9】


360
250
240a
390
240a
120a
120a
115
115
110
110
105
105
100

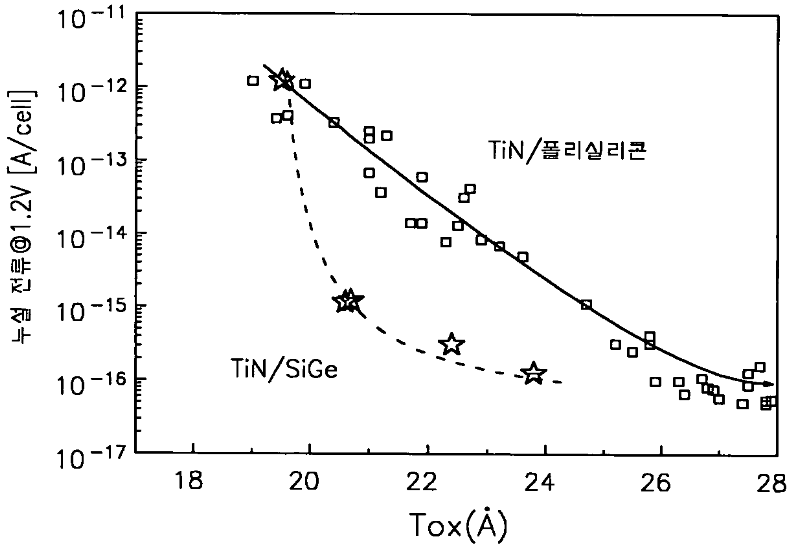
【도 10】


10^6
10^5
10^4
10^3
10^2
10^1
10^0
비저항(Ω.cm)
0.0
0.2
0.4
0.6
0.8
1.0
1.2
%GeH4/SiH4

【도 11】


1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
1E-15
1E-16
1E-17
1E-18
누설 전류 [A/cell]
Tox=20.5Å
-4
-3
-2
-1
0
1
2
3
4
전압 [V]

【도 12】


10^{-11}
10^{-12}
10^{-13}
10^{-14}
10^{-15}
10^{-16}
10^{-17}
누설 전류@1.2V [A/cell]
TiN/폴리실리콘
TiN/SiGe
18
20
22
24
26
28
Tox(Å)